

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

#21 Priority
DICKSTEIN
12-14-01

Docket No.: H6810.0011/P011
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Masahiko Ando, et al.

11000 U.S. PRO
09/902170
07/11/01

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: July 11, 2001

Examiner: Not Yet Assigned

For: THIN FILM TRANSISTOR, LIQUID
CRYSTAL DISPLAY AND
MANUFACTURING METHOD THEREOF

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
Washington, DC 20231

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
Japan	2001-042168	February 19, 2001

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: July 11, 2001

Respectfully submitted,

By 
Mark J. Thronson

Registration No.: 33,082
DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP
2101 L Street NW
Washington, DC 20037-1526
(202) 775-4742
Attorneys for Applicant

#2
110002106

US

1000 U.S. PTO
09/902170
07/11/01

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 2月19日

出願番号
Application Number:

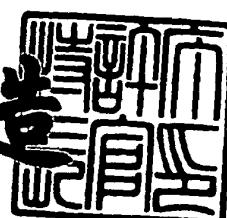
特願2001-042168

出願人
Applicant(s):

株式会社日立製作所

特許長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3040325

【書類名】 特許願
【整理番号】 H4111
【提出日】 平成13年 2月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/786
【発明者】
【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立
製作所 日立研究所内
【氏名】 安藤 正彦
【発明者】
【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立
製作所 日立研究所内
【氏名】 川崎 昌宏
【発明者】
【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立
製作所 日立研究所内
【氏名】 若木 政利
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社 日立製作所
【代理人】
【識別番号】 100093492
【弁理士】
【氏名又は名称】 鈴木 市郎
【電話番号】 03-3591-8550
【選任した代理人】
【識別番号】 100078134
【弁理士】
【氏名又は名称】 武 頤次郎

【手数料の表示】

【予納台帳番号】 113584

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ及びその製造方法

【特許請求の範囲】

【請求項1】 基板上に形成されたゲート電極と、前記ゲート電極上及び前記基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された高抵抗アモルファスシリコン膜と、前記高抵抗アモルファスシリコン膜上の各一部にコントラクト層を介して形成されたドレイン電極及びソース電極とを有する薄膜トランジスタにおいて、前記コントラクト層は、前記ドレイン電極及び前記ソース電極との接触部分における前記高抵抗アモルファスシリコン膜の内部に不純物を拡散して得た低抵抗領域であり、前記コントラクト層への前記不純物の拡散量が0.01%以上になっていることを特徴とする薄膜トランジスタ。

【請求項2】 前記ドレイン電極と前記ソース電極との間に形成されるチャネル幅は、前記ゲート電極幅よりも狭いものであることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】 前記ドレイン電極と前記ソース電極との間に形成されるチャネル幅は、前記ゲート電極幅と同じであることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項4】 前記コントラクト層は、前記ドレイン電極及び前記ソース電極の下部の前記高抵抗アモルファスシリコン膜の全部が低抵抗領域になったものであることを特徴とする請求項1または3に記載の薄膜トランジスタ。

【請求項5】 基板上にゲート電極を形成する第1工程と、前記基板上及び前記ゲート電極上にゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上に高抵抗アモルファスシリコン膜を形成する第3工程と、前記高抵抗アモルファスシリコン膜の全表面に不純物を付着する第4工程と、前記不純物を付着した高抵抗アモルファスシリコン膜を島状に残留させ、残りを除去する第5工程と、前記不純物を付着した高抵抗アモルファスシリコン膜上的一部分を含む領域上にドレイン電極及びソース電極を形成する第6工程と、前記ドレイン電極及びソース電極間の露出した前記不純物を付着した高抵抗アモルファスシリコン膜の領域から前

記付着した不純物を除去する第7工程と、熱処理により前記ソース電極及び前記ドレイン電極と前記付着した不純物を高抵抗アモルファスシリコン膜との接触部分の不純物を前記高抵抗アモルファスシリコン膜中に拡散させ、低抵抗のコンタクト層を形成する第8工程とを経て薄膜トランジスタを形成していることを特徴とする薄膜トランジスタの製造方法。

【請求項6】 基板上にゲート電極を形成する第1工程と、前記基板上及び前記ゲート電極上にゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上に高抵抗アモルファスシリコン膜を形成する第3工程と、前記高抵抗アモルファスシリコン膜の全表面に不純物を付着する第4工程と、前記不純物を付着した高抵抗アモルファスシリコン膜上にフォトレジスト膜を形成する第5工程と、前記基板側から前記フォトレジスト膜を露光し、前記ゲート絶縁膜と同幅のフォトレジストパターンを形成する第6工程と、前記フォトレジストパターン上及び前記不純物を付着した高抵抗アモルファスシリコン膜上に金属層を形成する第7工程と、前記フォトレジストパターン及びその上の金属層を除去してドレイン電極及びソース電極を形成する第8工程と、前記ドレイン電極及びソース電極間の露出した前記不純物を付着した高抵抗アモルファスシリコン膜の領域から前記付着した不純物を除去する第9工程と、熱処理により前記ドレイン電極及び前記ソース電極と前記付着した不純物を高抵抗アモルファスシリコン膜との接触部分の不純物を前記高抵抗アモルファスシリコン膜中に拡散させ、低抵抗のコンタクト層を形成する第10工程と、前記ドレイン電極上及び前記ソース電極上を除く表面領域に保護膜を形成する第11工程とを経て薄膜トランジスタを形成していることを特徴とする薄膜トランジスタの製造方法。

【請求項7】 前記第10工程における熱処理を前記第11工程における保護膜の形成時の熱処理によって行っていることを特徴とする請求項6に記載の薄膜トランジスタの製造方法。

【請求項8】 前記全工程は、真空状態で結合されているエッチング装置及び保護膜形成装置を用い、それらの装置内で真空状態を維持したまま連続的に行っていることを特徴とする請求項5乃至7のいずれかに記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ及びその製造方法に係り、特に、アクティブマトリクス型液晶表示装置のスイッチング素子として用いられる薄膜トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】

現在、アクティブマトリクス型液晶表示装置には、液晶素子をスイッチングするスイッチング素子として主にチャネルエッチング型薄膜トランジスタが用いられている。

【0003】

図6（a）乃至（d）は、かかる既知のチャネルエッチング型薄膜トランジスタの構成を示すもので、その製造プロセスを示す断面構成図である。

【0004】

図6（a）乃至（d）において、61はガラス基板、62はゲート電極、63は窒化シリコン（SiN）からなるゲート絶縁膜、64はトランジスタ能動部を形成する高抵抗アモルファスシリコン膜、65はコンタクト層を形成する低抵抗アモルファスシリコン膜、66はドレイン電極、67はソース電極、68は窒化シリコン（SiN）からなる保護膜である。

【0005】

図6（a）乃至（d）を用い、既知のチャネルエッチング型薄膜トランジスタの製造プロセスについて説明すると、次の通りである。

【0006】

まず、図6（a）に示されるように、ガラス基板1上にゲート電極2を形成し、ゲート電極2上及びガラス基板1上にゲート絶縁膜63を形成する。その後、ゲート絶縁膜63上に高抵抗アモルファスシリコン膜64を形成し、高抵抗アモルファスシリコン膜64の表面に低抵抗アモルファスシリコン膜65を形成する。

【0007】

次に、図6(b)に示されるように、エッチングにより不要部分の高抵抗アモルファスシリコン膜64を低抵抗アモルファスシリコン膜65とともに除去して島状部分を形成し、島状部分の両端を含む領域にドレイン電極66及びソース電極67を形成する。

【0008】

次いで、図6(c)に示されるように、形成したドレイン電極66及びソース電極67をマスクとし、エッチングによってドレイン電極66とソース電極67間にあるチャネル部分の高抵抗アモルファスシリコン膜64の一部を低抵抗アモルファスシリコン膜65とともに除去(チャネルエッチング工程)する。このとき、ドレイン電極66と高抵抗アモルファスシリコン膜64との間及びソース電極67と高抵抗アモルファスシリコン膜64との間に低抵抗アモルファスシリコン膜65が残留形成される。

【0009】

最後に、図6(d)に示すように、ドレイン電極66及びソース電極67上及びチャネル形成部分に保護膜68を形成し、ドレイン電極66及びソース電極67の各端部をエッチングにより露出させ、チャネルエッチング型薄膜トランジスタが形成される。

【0010】

【発明が解決しようとする課題】

前記既知のチャネルエッチ型薄膜トランジスタは、製造時におけるチャネルエッチング工程のエッチング量を高精度で制御することが困難であるため、チャネル部分の高抵抗アモルファスシリコン膜64の膜厚にバラつきが生じ、それにより薄膜トランジスタの特性が不安定になったり、不均一な特性を示すことがあった。

【0011】

また、前記既知のチャネルエッチ型薄膜トランジスタは、トランジスタの特性の不安定性を除去するために高抵抗アモルファスシリコン膜64の膜厚を厚くすると、高抵抗アモルファスシリコン膜64の抵抗値が増大し、薄膜トランジスタ

内を通流する電流が高抵抗アモルファスシリコン膜64を横断する際に増大した抵抗値によって電流量が低下し、さらに、光照射による高抵抗アモルファスシリコン膜64中に発生する光リーク電流が増加し、トランジスタの特性が劣化するだけでなく、高抵抗アモルファスシリコン膜64を形成するための時間及び原料が増加し、生産性の低下につながるようになる。

【0012】

本発明は、このような技術的背景に鑑みてなされたもので、その目的は、高抵抗アモルファスシリコン膜の厚さを薄くするとともにコンタクト層の膜厚を略一定にすることにより、特性が不安定になったり、不均一な特性を示すことのない薄膜トランジスタ及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】

前記目的を達成するために、本発明による薄膜トランジスタは、基板上に形成されたゲート電極と、ゲート電極上及び基板上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成された高抵抗アモルファスシリコン膜と、高抵抗アモルファスシリコン膜上の各一部にコンタクト層を介して形成されたドレイン電極及びソース電極とを有するものであって、コンタクト層は、ドレイン電極及びソース電極との接触部分における高抵抗アモルファスシリコン膜中に不純物を拡散して得た低抵抗領域であり、コンタクト層への不純物の拡散量が0.01%以上になっている第1の手段を具備する。

【0014】

前記第1の手段によれば、ソース電極及びドレイン電極の下部にある高抵抗アモルファスシリコン膜の表面に付着させた不純物を、熱処理によって高抵抗アモルファスシリコン膜の内部に拡散させ、高抵抗アモルファスシリコン膜とソース電極及びドレイン電極との接触部分における高抵抗アモルファスシリコン膜に拡散される不純物量を0.01%以上にするようにし、その接触部分を低抵抗アモルファスシリコン膜であるコンタクト層を形成しているので、高抵抗アモルファスシリコン膜の断面形状がチャネル部分で凸状に膨らんだ形になり、それにより高抵抗アモルファスシリコン膜の厚さを薄くしても、低抵抗コンタクト層の厚さ

が略一定になり、得られた薄膜トランジスタの特性が不安定になったり、不均一な特性を示すことがなくない。

【0015】

また、前記目的を達成するために、本発明による薄膜トランジスタの製造方法は、基板上にゲート電極を形成する第1工程と、基板上及びゲート電極上にゲート絶縁膜を形成する第2工程と、ゲート絶縁膜上に高抵抗アモルファスシリコン膜を形成する第3工程と、高抵抗アモルファスシリコン膜の全表面に不純物を付着する第4工程と、不純物を付着した高抵抗アモルファスシリコン膜を島状に残留させ、残りを除去する第5工程と、不純物を付着した高抵抗アモルファスシリコン膜上の一一部を含む領域上にドレイン電極及びソース電極を形成する第6工程と、ドレイン電極及びソース電極間の露出した不純物を付着した高抵抗アモルファスシリコン膜の領域から付着した不純物を除去する第7工程と、熱処理によりドレイン電極及びソース電極と付着した不純物を高抵抗アモルファスシリコン膜との接触部分の不純物を高抵抗アモルファスシリコン膜中に拡散させ、低抵抗のコンタクト層を形成する第8工程とを経て薄膜トランジスタを形成している第2の手段を具備する。

【0016】

前記第2の手段によれば、高抵抗アモルファスシリコン膜の表面に不純物を付着し、不純物を付着した高抵抗アモルファスシリコン膜の整形、ソース電極及びドレイン電極の形成後に、熱処理によってソース電極及びドレイン電極と付着した不純物を高抵抗アモルファスシリコン膜との接触部分の不純物を高抵抗アモルファスシリコン膜中に拡散させ、低抵抗のコンタクト層を形成しているので、高抵抗アモルファスシリコン膜の厚さを薄くしても、低抵抗コンタクト層の厚さを略一定にすることができ、それにより、良好な特性の薄膜トランジスタが得られ、しかも、高抵抗アモルファスシリコン膜を形成する際の生産性の向上を図ることができる。

【0017】

さらに、前記目的を達成するために、本発明による薄膜トランジスタの製造方法は、基板上にゲート電極を形成する第1工程と、基板上及びゲート電極上にゲ

ート絶縁膜を形成する第2工程と、ゲート絶縁膜上に高抵抗アモルファスシリコン膜を形成する第3工程と、高抵抗アモルファスシリコン膜の全表面に不純物を付着する第4工程と、不純物を付着した高抵抗アモルファスシリコン膜上にフォトレジスト膜を形成する第5工程と、基板側からフォトレジスト膜を露光し、ゲート絶縁膜と同幅のフォトレジストパターンを形成する第6工程と、フォトレジストパターン上及び不純物を付着した高抵抗アモルファスシリコン膜上に金属層を形成する第7工程と、フォトレジストパターン及びその上の金属層を除去してドレイン電極及びソース電極を形成する第8工程と、ドレイン電極及びソース電極間の露出した不純物を付着した高抵抗アモルファスシリコン膜の領域から付着した不純物を除去する第9工程と、熱処理によりドレイン電極及びソース電極と付着した不純物を高抵抗アモルファスシリコン膜との接触部分の不純物を高抵抗アモルファスシリコン膜中に拡散させ、低抵抗のコンタクト層を形成する第10工程と、ドレイン電極上及びソース電極上を除く表面領域に保護膜を形成する第11工程とを経て薄膜トランジスタを形成している第3の手段を具備する。

【0018】

前記第3の手段によれば、不純物を付着した高抵抗アモルファスシリコン膜上にフォトレジスト膜を形成し、基板側からフォトレジスト膜を露光してフォトレジストパターンを形成した後、フォトレジストパターン上及び高抵抗アモルファスシリコン膜上に金属層を形成し、フォトレジストパターン及びその上の金属層を除去してソース電極及びドレイン電極を形成するようにしているので、前記第2の手段による作用をそのまま享受できるとともに、製造プロセスを一部簡素化することができる。

【0019】

また、前記第2及び第3の手段において、全工程を、真空状態で結合されているエッティング装置及び保護膜形成装置を用い、それらの装置内で真空状態を維持したまま連続的に行うようにすれば、大気中に浮遊する異物がチャネル部分に付着したりする等のことがなく、薄膜トランジスタの欠陥発生の度合いを抑制することができる。

【0020】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

【0021】

図1（a）乃至（e）は、第1の実施の形態による薄膜トランジスタの構成を示すもので、その製造プロセスを示す断面図である。

【0022】

図1（a）乃至（e）において、1はガラス基板（例えばコーニング製）、2はゲート電極、3は窒化シリコン（SiN）からなるゲート絶縁膜、4はトランジスタ能動部となる高抵抗アモルファスシリコン膜、5はクロム（Cr）の微粒子等からなる不純物、6はコンタクト層を形成する低抵抗アモルファスシリコン膜、7はドレイン電極、8はソース電極、9は窒化シリコン（SiN）からなる保護膜である。

【0023】

図1（a）乃至（e）を用い、第1の実施の形態による薄膜トランジスタの製造プロセスについて説明すると、次の通りである。

【0024】

まず、図1（a）に示されるように、ガラス基板1上にスパッタリング法によって厚さ約120nmのクロム（Cr）膜を形成し、そのクロム（Cr）膜をホトエッチングによってパターニングしてゲート電極2を形成する。この後、プラズマ化学気相成長（CVD）装置を用い、以下に述べるような各種薄膜を形成する。すなわち、第1に、SiH₄、NH₃、N₂等の混合ガスを用い、ゲート電極2上に厚さ300nmの窒化シリコン（SiN）からなるゲート絶縁膜3を形成する。第2に、例えば、SiH₄、とH₂の混合ガスを用い、ゲート絶縁膜3上に、厚さ約150nmの高抵抗アモルファスシリコン膜4を形成する。第3に、同じ化学気相成長（CVD）装置を用いてPH₃ガスを分解し、高抵抗アモルファスシリコン膜4の表面に磷（P）からなる不純物5を付着させ、図1（a）に図示の構成のもの（以下、第1構成という）を得ている。この場合、高抵抗アモルファスシリコン膜4の形成工程と不純物5の付着工程は、真空状態を維持したまま連続的に行うのが望ましい。

【0025】

次に、図1(b)に示されるように、第1構成に対して、 SF_6 等のエッティングガスを用いたドライエッティング法により、不純物5を付着させた高抵抗アモルファスシリコン膜4の不要部分を除去して島状部分を形成する。この後、スパッタリング法を用い、高抵抗アモルファスシリコン膜4上及びゲート絶縁膜3上に室温で厚さが約120nmのクロム(Cr)膜を形成し、このクロム(Cr)膜をホトエッティングによりパターニングし、ドレイン電極7及びソース電極8を形成して、図1(b)に図示の構成のもの(以下、第2構成という)を得ている。

【0026】

次いで、図1(c)に示されるように、第2構成に対して、プラズマ化学気相成長(CVD)装置を用い、ドレイン電極7及びソース電極8を形成したガラス基板1を水素プラズマに100秒間晒すことにより、ドレイン電極7及びソース電極8で覆われていないチャネル部分の高抵抗アモルファスシリコン膜4の表面に付着した不純物5を、主として PH_3 ガスの状態にして飛散除去させ、図1(c)に図示の構成のもの(以下、第3構成という)を得ている。

【0027】

続いて、図1(d)に示されるように、第3構成に対して、真空中で温度300°Cの熱アニールを10分間実施し、ドレイン電極7及びソース電極8と接触する高抵抗アモルファスシリコン膜4の表面に付着させた磷(P)からなる不純物5を高抵抗アモルファスシリコン膜4の表面から約50nmの深さまで拡散させ、ドレイン電極7及びソース電極8と高抵抗アモルファスシリコン膜4とが接触する高抵抗アモルファスシリコン膜4内に低抵抗アモルファスシリコン膜からなるコンタクト層6を形成し、図1(d)に図示の構成のもの(以下、第4構成という)を得ている。

【0028】

最後に、図1(e)に示されるように、第4構成に対して、プラズマ化学気相成長(CVD)装置を用い、露出表面部分に、 SiH_4 、 NH_3 、 N_2 等の混合ガスを用いて厚さ500nmの窒化シリコン(SiN)からなる保護膜9を形成する。形成した窒化シリコン(SiN)膜に対して、 SF_6 等のエッティングガスを

用いたドライエッチング法により、不要部分をエッチング除去し、ドレイン電極7及びソース電極8の一部を露出させ、チャネルエッチング型薄膜トランジスタが完成する。

【0029】

なお、前記水素プラズマによる不純物5の除去工程、熱アニール工程、保護膜9の形成工程は、プラズマ化学気相成長(CVD)装置に供給されるガスを切り替えることにより、同じ装置内で連続的に実施することが可能である。また、保護膜9を温度300°Cで形成する場合は、この保護膜9の形成時に不純物5である磷(P)が高抵抗アモルファスシリコン膜4の表面から内部に拡散するため、熱アニール工程を省くことができる。

【0030】

次に、図2は、第1の実施の形態による薄膜トランジスタが示すドレイン電流Idのゲート電圧Vg依存性(Id-Vg特性)を示す特性図である。

【0031】

図2において、横軸はVで表したゲート電圧Vgであり、縦軸はAで表したドレイン電流Idであって、曲線aは第1の実施の形態による薄膜トランジスタ(以下、これを本発明の薄膜トランジスタという)が呈する特性であり、曲線bは水素プラズマによる不純物除去工程を省いた薄膜トランジスタ(以下、これを参考例1の薄膜トランジスタという)が呈する特性であり、曲線cは熱アニールによる不純物拡散工程を省いた薄膜トランジスタ(以下、これを参考例2の薄膜トランジスタという)が呈する特性である。なお、これらの特性図において、薄膜トランジスタのドレイン・ソース電極間への印加電圧は10Vである。

【0032】

図2の曲線aに示されるように、本発明の薄膜トランジスタは、ゲート電圧Vgを負の値から正の値に変化させた場合、負から正の転換点であるVg=0Vを超えると、それまで少量であったドレイン電流Idが急激に増加してこのときのオンオフ電流比が10⁷を超えるようになり、急峻なスイッチング特性を示すものである。

【0033】

ところが、図2の曲線bに示されるように、参考例1の薄膜トランジスタは、ドレイン電流 I_d がゲート電圧 V_g に依らずにほぼ一定値を示すもので、本発明のトランジスタのように良好なスイッチ特性を得ることができないものである。

【0034】

また、図2の曲線cに示されるように、参考例2の薄膜トランジスタは、ドレイン電流 I_d がゲート電圧 $V_g = 5\text{ V}$ を境にして、減少傾向から増大傾向への転換を示すが、やはり本発明の薄膜トランジスタのように良好なスイッチ特性を得ることができないものである。

【0035】

ちなみに、本発明の薄膜トランジスタについて、チャネル部分を含めた高抵抗アモルファスシリコン膜4の元素分布を、電子線エネルギー損失分光（EELS）法または2次イオン質量分析（MIS）法を用いて測定した結果、ドレイン電極7及びソース電極8と高抵抗アモルファスシリコン膜4との接触部において、高抵抗アモルファスシリコン膜4の表面から約50nmの深さに不純物5の燐（P）が0.01%以上拡散し、その部分が低抵抗アモルファスシリコン膜、すなわちコンタクト層6を形成しており、不純物5の燐（P）の拡散量が0.01%以下である高抵抗アモルファスシリコン膜4のチャネル部分は、その断面形状がコンタクト層6に対して凸型になっていることを確認できた。

【0036】

これに対して、参考例1の薄膜トランジスタについて、同じようなチャネル部分を含めた高抵抗アモルファスシリコン膜4の元素分布を、電子線エネルギー損失分光（EELS）法または2次イオン質量分析（MIS）法を用いて測定したところ、不純物5の燐（P）がチャネル部分を含む高抵抗アモルファスシリコン膜4の表面から約50nmの範囲全体に拡散していることが確認できた。

【0037】

また、参考例2の薄膜トランジスタについて、同じようなチャネル部分を含めた高抵抗アモルファスシリコン膜4の元素分布を、電子線エネルギー損失分光（EELS）法または2次イオン質量分析（MIS）法を用いて測定したところ、高抵抗アモルファスシリコン膜4の表面に不純物5の燐（P）が局在し、高抵抗

アモルファスシリコン膜4の内部に十分に拡散しないため、ドレイン電極7及びソース電極8高抵抗アモルファスシリコン膜4との接触部分の高抵抗アモルファスシリコン膜4内にコンタクト層6が形成されていないことが確認できた。

【0038】

これらの点から、本発明の薄膜トランジスタにおいては、高抵抗アモルファスシリコン膜4に拡散される不純物5の磷(P)の拡散量を0.01%以上にすることが必要である。

【0039】

次いで、本発明の薄膜トランジスタにおいて、高抵抗アモルファスシリコン膜4の膜厚を30nmまで減少させたとしても、トランジスタの特性が不安定になることはなく、正のゲート電圧Vgの変化に対するドレイン電流Idの変化割合が約3倍増加した。この理由は、高抵抗アモルファスシリコン膜4をドレイン電流Idが横断する際に、高抵抗アモルファスシリコン膜4の抵抗が減少しているため、ドレイン電流Idが通り易いことによるものである。

【0040】

また、高抵抗アモルファスシリコン膜4の膜厚を30nmまで減少させた本発明の薄膜トランジスタに、1000ルクスの白色光を照射して光リーク電流を測定したところ、光リーク電流値を約1桁減少することができた。この理由は、光リーク電流の原因となる光キャリアを発生するアモルファスシリコン膜4の厚さが1/5程度に低下しているためである。

【0041】

前記実施の形態においては、ドレイン電極7及びソース電極8を形成する際に、クロム(Cr)膜を形成した後、そのクロム(Cr)膜をホトエッチングによりパターニングし、ドレイン電極7及びソース電極8を形成している例について説明したが、このようなドレイン電極7及びソース電極8の形成手段の代わりに、インクジェット法を用い、金属微粒子を含んだ有機媒体を電極パターンに合わせて塗布した後、温度300°Cで、10分間焼成して有機媒体を揮発させ、金属微粒子を凝集させることにより、ドレイン電極7及びソース電極8を形成することも可能である。この場合、塗布工程と焼成工程との間に、水素プラズマによる

チャネル部から不純物5の磷(P)を除去する不純物除去工程を設けておけば、焼成工程時に不純物5の磷(P)が高抵抗アモルファスシリコン膜4の内部に拡散し、ドレイン電極7及びソース電極8と、コンタクト層6とを同時に形成することができ、熱アニール工程を省略することができる。

【0042】

次いで、図3(a)乃至(e)は、第2の実施の形態による薄膜トランジスタの構成を示すもので、その製造プロセスを示す断面図である。

【0043】

図3(a)乃至(e)において、図1(a)乃至(e)に示された構成要素と同じ構成要素については同じ符号を付けている。

【0044】

図3(a)乃至(e)を用い、第2の実施の形態による薄膜トランジスタの製造プロセスについて説明する。

【0045】

まず、図3(a)に示されるように、ガラス基板1上にスパッタリング法によって厚さ約120nmのクロム(Cr)膜を形成し、そのクロム(Cr)膜をホトエッチングによってパターニングしてゲート電極2を形成する。この後、プラズマ化学気相成長(CVD)装置を用い、以下に述べるような各種薄膜を形成する。すなわち、第1に、 SiH_4 、 NH_3 、 N_2 等の混合ガスを用い、ゲート電極2上に厚さ300nmの窒化シリコン(SiN)からなるゲート絶縁膜3を形成する。第2に、例えば、 SiH_4 、 H_2 の混合ガスを用い、ゲート絶縁膜3上に、厚さ約150nmの高抵抗アモルファスシリコン膜4を形成する。第3に、同じ化学気相成長(CVD)装置を用いて PH_3 ガスを分解し、高抵抗アモルファスシリコン膜4の表面に磷(P)からなる不純物5を付着させる。第4に、スパッタリング法を用い、不純物5を付着させた高抵抗アモルファスシリコン膜4上に室温で厚さが約120nmのクロム(Cr)膜を形成させ、図3(a)に図示の構成のもの(以下、再び第1構成という)を得ている。この場合においても、高抵抗アモルファスシリコン膜4の形成工程と不純物5の付着工程とクロム(Cr)膜の形成工程は、真空状態を維持したまま連続的に行うのが望ましい。

【0046】

次に、図3(b)に示されるように、第1構成に対して、同一のフォトレジストを用いて、エッティングによりクロム(Cr)膜及び不純物5を付着させた高抵抗アモルファスシリコン膜4の不要部分を除去し、島状部分を形成する。この後、チャネル部分に当たるクロム(Cr)膜をエッティングし、ドレイン電極7及びソース電極8を形成して、図3(b)に図示の構成のもの(以下、再び第2構成という)を得ている。

【0047】

次いで、図3(c)に示されるように、第2構成に対して、プラズマ化学気相成長(CVD)装置を用い、ドレイン電極7及びソース電極8を形成したガラス基板1を水素プラズマに100秒間晒すことにより、ドレイン電極7及びソース電極8で覆われていないチャネル部分の高抵抗アモルファスシリコン膜4の表面に付着した不純物5を、主としてPH₃ガスの状態にして飛散除去させ、図3(c)に図示の構成のもの(以下、第3構成という)を得ている。

【0048】

続いて、図3(d)に示されるように、第3構成に対して、真空中で温度300°Cの熱アニールを10分間実施し、ドレイン電極7及びソース電極8と接触する高抵抗アモルファスシリコン膜4の表面に付着させた磷(P)からなる不純物5を高抵抗アモルファスシリコン膜4の表面から約50nmの深さまで拡散させ、ドレイン電極7及びソース電極8と高抵抗アモルファスシリコン膜4とが接触する高抵抗アモルファスシリコン膜4内に低抵抗アモルファスシリコン膜からなるコンタクト層6を形成し、図3(d)に図示の構成のもの(以下、第4構成という)を得ている。

【0049】

最後に、図3(e)に示されるように、第4構成に対して、プラズマ化学気相成長(CVD)装置を用い、露出表面部分に、SiH₄、NH₃、N₂等の混合ガスを用いて厚さ500nmの窒化シリコン(SiN)からなる保護膜9を形成する。形成した窒化シリコン(SiN)膜に対して、SF₆等のエッティングガスを用いたドライエッティング法により、不要部分をエッティング除去し、ドレイン電極

7及びソース電極8の一部を露出させ、チャネルエッティング型薄膜トランジスタが完成する。

【0050】

この第2の実施の形態においては、図3(b)に示されたエッティング工程におけるホトレジストとして、例えば、「日経マイクロデバイス」2000年6月号、第175頁に記載されているように、チャネル部分の膜厚が薄く、ドレイン電極7とソース電極8の上の膜厚が厚い断面が凹型のホトレジストを用いた場合、同一のホトレジストにより全てのエッティング工程を実施することができる。すなわち、断面が凹型のホトレジストを用いて、クロム(Cr)膜及び高抵抗アモルファスシリコン膜4を島状に加工する。次に、このホトレジストに対して、酸素プラズマを用い、チャネル部分の薄い部分が完全に除去され、ドレイン電極7とソース電極8の上の厚い部分が残るようにエッティングする。次いで、残ったホトレジストをマスクとして、クロム(Cr)膜をエッティングし、ドレイン電極7及びソース電極8を形成する。この場合においても、各エッティング工程、不純物の除去工程、保護膜形成工程は、真空状態を維持しながら連続的に実施することができる。

【0051】

なお、既知のチャネルエッティング型薄膜トランジスタの製造方法においては、チャネル部分のホトレジストの除去、クロム(Cr)膜のエッティング、チャネルエッティング工程を連続的に行う必要があるため、各エッティング量の制御性が良好でなく、高抵抗アモルファスシリコン膜4の厚さを200nm以上の厚さにしないと安定なトランジスタ特性を得ることができなかったのに対し、本発明による薄膜トランジスタの製造方法においては、チャネルエッティング工程がないため、高抵抗アモルファスシリコン膜4の厚さを50nmまで薄くしても安定なトランジスタ特性を得ることができるものであり、さらに、真空状態を維持したまま連続的に各種の工程を実行することにより、大気中に浮遊する異物の付着等による薄膜トランジスタの欠陥の発生割合を抑制することができる。

【0052】

続く、図4は、第2の実施の形態による薄膜トランジスタの製造方法を実施す

るために用いられる製造装置を示す構成図である。

【0053】

図4において、10はエッティング装置、11は保護膜形成装置、12は連結機構である。

【0054】

図4に示されるように、製造装置は、エッティング装置10と保護膜形成装置11が連結機構12を介して結合されており、両装置10、11及び連結機構12内は真空状態に維持されている。

【0055】

この製造装置は、次のように動作する。

始めに、図3(a)に示されるように、ガラス基板1上にゲート電極2を形成し、基板1上及びゲート電極2上にゲート絶縁膜3を形成し、ゲート絶縁膜3上に高抵抗アモルファスシリコン膜4を形成し、高抵抗アモルファスシリコン膜4の表面に不純物5を付着させ、不純物5を付着させた高抵抗アモルファスシリコン膜4上にクロム(Cr)膜を形成し、第1構成を得ており、この第1構成に、断面が凹型のホトレジストを形成する。

【0056】

その後、ホトレジストを形成した第1構成をドライエッティング装置10に入れ、以下の手順によってガスを切り替え、図3(b)に示された高抵抗アモルファスシリコン膜4とドレイン電極7及びソース電極8の加工処理、図3(c)に示されたチャネル部分の不純物5の除去処理、及び、ホトレジスト除去処理を順次実行する。まず、フッ素系ガスを用いて、クロム(Cr)膜及び高抵抗アモルファスシリコン膜4を一括して島状にドライエッティング加工し、次に、酸素プラズマアッシャによって、ホトレジストをエッティングし、チャネル部分のクロム(Cr)膜の表面を露出させる。次いで、再びフッ素系ガスを用いて、ドライエッティングによりチャネル部分のクロム(Cr)膜を除去し、ドレイン電極7及びソース電極8を形成する。続いて、水素ガスを導入して水素プラズマ放電を形成し、チャネル部分の不純物5を除去する。次に、酸素プラズマアッシャによって、ドレイン電極7上及びソース電極8上のホトレジストを除去する。

【0057】

次いで、ドライエッチング装置10で各種の処理を行った基板1を、ドライエッチング装置10から連結機構を通してプラズマ化学気相成長（CVD）装置からなる保護膜形成装置11に真空状態を維持したまま移動させる。保護膜形成装置11においては、始めに、熱アニールによって、不純物5を高抵抗アモルファスシリコン膜4の内部に拡散させ、ドレイン電極7及びソース電極8と高抵抗アモルファスシリコン膜4との接触部分における高抵抗アモルファスシリコン膜4内にコンタクト層6を形成する。その後、露出部分に窒化シリコン（SiN）からなる保護膜9を形成する。

【0058】

この製造装置を用いることにより、薄膜トランジスタの特性に大きい影響を与えるバックチャネルの表面を一度も大気に露呈することができないので、大気中の浮遊物の付着がない特性の良好な薄膜トランジスタを得ることができる。

【0059】

続いて、図5（a）乃至（f）は、第3の実施の形態による薄膜トランジスタの構成を示すもので、その製造プロセスを示す断面図であって、ゲート電極2とドレイン電極7及びソース電極8とが重なり合わないセルフアライン型構造のものである。

【0060】

図5（a）乃至（f）において、13はレジストパターン、14はクロム（Cr）膜であり、その他、図1（a）乃至（e）に示された構成要素と同じ構成要素については同じ符号を付けている。

【0061】

図5（a）乃至（f）を用い、第3の実施の形態による薄膜トランジスタの製造プロセスについて説明する。

【0062】

始めに、図5（a）に示されるように、ガラス基板1上にゲート電極2を形成し、ガラス基板1上及びゲート電極2上に厚さ300nmの窒化シリコン膜からなるゲート絶縁膜3を形成し、ゲート絶縁膜3上に厚さ50nmの高抵抗アモル

ファスシリコン膜4を形成し、その後、真空状態を維持したまま高抵抗アモルファスシリコン膜4の表面上に燐(P)からなる不純物5を付着させ、図5(a)に図示の構成のもの(以下、再び第1構成という)を得ている。

【0063】

次に、図5(b)に示されるように、第1構成に対して、スピンドルコート装置を用いて厚さ約 $2\mu\text{m}$ にホトレジストを均一に塗布する。ホトレジストを塗布した後、ガラス基板1の裏側からゲート電極2をマスクとして露光(裏面露光法)を行い、次いで現像することにより、ゲート電極2とほぼ同一パターンのレジストパターン13を形成する。そして、スパッタリング法を用いて、レジストパターン13上及び不純物5を付着させた高抵抗アモルファスシリコン膜4上に厚さ約 120nm のクロム(Cr)膜14を形成し、図5(b)に図示の構成のもの(以下、再び第2構成という)を得ている。

【0064】

次いで、図5(c)に示されるように、第2構成に対して、レジスト剥離液を用いてレジストパターン13及びその上に形成されたクロム(Cr)膜14と一緒に除去する(リフトオフ工程と呼ばれる)。この後、ホトエッチングにより、クロム(Cr)膜14を加工することにより、ドレイン電極7及びソース電極8を形成して、図5(c)に図示の構成のもの(以下、再び第3構成という)を得ている。この場合、レジストパターン13上にあるクロム(Cr)膜14は、レジストパターン13と一緒に除去されるため、ゲート電極2とドレイン電極7及びソース電極8との重なり合いがない、所謂セルフアライン型電極構造のものが得られる。

【0065】

続いて、図5(d)に示されるように、第3構成に対して、水素プラズマ処理によりチャネル部分の高抵抗アモルファスシリコン膜4の表面に付着した不純物5を飛散除去して、図5(d)に図示の構成のもの(以下、再び第4構成という)を得ている。

【0066】

次に、図5(e)に示されるように、第4構成に対して、熱アニールによりド

レイン電極7及びソース電極8との高抵抗アモルファスシリコン膜4との接触部分に付着した不純物5を高抵抗アモルファスシリコン膜4の内部に拡散させ、拡散部分の高抵抗アモルファスシリコン膜4全体を抵抗アモルファスシリコン膜からなるコンタクト層6にして、図5(e)に図示の構成のもの（以下、第5構成という）を得ている。

【0067】

次いで、図5(f)に示されるように、第5構成に対して、プラズマ化学気相成長(CVD)装置を用い、厚さ500nmの窒化シリコン(SiN)からなる保護膜9を形成し、エッティングによってドレイン電極7及びソース電極8の一部を露出させ、薄膜トランジスタが完成する。

【0068】

第3の実施の形態による薄膜トランジスタは、高抵抗アモルファスシリコン膜4の厚さを50nm以下まで十分薄くすることが可能であるため、高抵抗アモルファスシリコン膜4が露光用の光を大きく吸収することなく、ガラス基板1裏面からの露光が可能になり、ホトレジストを十分に感光させることができる。

【0069】

また、第3の実施の形態による薄膜トランジスタは、図5(e)に示すように、高抵抗アモルファスシリコン膜4のソース電極6及びドレイン電極7との接触界面からゲート絶縁膜3との接触界面に到る領域に不純物5を拡散させ、その拡散部分を低抵抗アモルファスシリコン膜からなるコンタクト層6にしたことにより、ドレイン電流が高抵抗アモルファスシリコン膜4を横断する際に発生する抵抗分が少なくなり、その分、薄膜トランジスタのスイッチオン時のドレイン電流が増加する。

【0070】

ところで、第1及び第2の実施の形態による薄膜トランジスタは、ゲート電極2とドレイン電極7及びソース電極8とが重なり合っている部分に、高抵抗アモルファスシリコン膜4とゲート絶縁膜3とからな容量が形成される。一般的に、この容量は、薄膜トランジスタをスイッチング素子に用いた液晶ディスプレイに用いた場合、ゲート配線に伝達されるゲート電圧波形を遅延させる要因となり、

液晶表示パネル面内の表示の均一性を劣化させる原因になる。

【0071】

これに対し、第3の実施の形態による薄膜トランジスタは、ゲート電極2とドレイン電極7及びソース電極8とが重なり合っていないので、このような容量が形成されず、前記容量によってゲート電圧波形を遅延させる要因にはならない。

【0072】

なお、前記第1乃至第3の実施の形態による薄膜トランジスタ及びその製造方法の説明の中で挙げてある各電極の構成材料、各絶縁膜の構成材料、不純物の構成材料は、これらの薄膜トランジスタ及びその製造方法に対してそれぞれ好適な材料であるけれども、本願発明の薄膜トランジスタ及びその製造方法は、これらの材料を用いたものに限られるものでなく、前記構成材料に均等な構成材料、前記構成材料に類似の構成材料をそれぞれ用いてもよいことは勿論である。

【0073】

また、前記第1乃至第3の実施の形態による薄膜トランジスタの製造方法の説明の中で挙げてあるエッティング等の処理手段、その処理手段に用いられるガスや温度、処理時間等は、それぞれ好適な手段、処理条件であるけれども、本願発明の薄膜トランジスタの製造方法は、これらの手段、処理条件を用いたものに限られるものでなく、前記手段、処理条件と均等な手段、処理条件または前記手段、処理条件に類似の手段、処理条件をそれぞれ用いてもよいことは勿論である。

【0074】

【発明の効果】

以上のように、本発明による薄膜トランジスタによれば、ソース電極及びドレイン電極直下の高抵抗アモルファスシリコン膜の表面に付着させた不純物を、熱処理によって高抵抗アモルファスシリコン膜中に拡散させ、高抵抗アモルファスシリコン膜とソース電極及びドレイン電極との接触部分における高抵抗アモルファスシリコン膜に拡散した不純物量を0.01%以上になるようにし、その接触部分を低抵抗アモルファスシリコン膜であるコンタクト層を形成しているので、高抵抗アモルファスシリコン膜の断面形状がチャネル部分で凸状に膨らんだ形になり、それにより高抵抗アモルファスシリコン膜の厚さを薄くしても、低抵抗コ

ンタクト層の厚さがほぼ一定になり、得られた薄膜トランジスタの特性が不安定になったり、不均一な特性を示すことがなくなるという効果がある。

【0075】

また、本発明による薄膜トランジスタの製造方法の1つによれば、高抵抗アモルファスシリコン膜の表面に不純物を付着し、不純物を付着した高抵抗アモルファスシリコン膜の整形、ソース電極及びドレイン電極の形成後に、熱処理によってソース電極及びドレイン電極と付着した不純物を高抵抗アモルファスシリコン膜との接触部分の不純物を高抵抗アモルファスシリコン膜中に拡散させ、低抵抗のコンタクト層を形成しているので、高抵抗アモルファスシリコン膜の厚さを薄くしても、低抵抗コンタクト層の厚さをほぼ一定にして、良好な特性の薄膜トランジスタを得ることができ、しかも、高抵抗アモルファスシリコン膜を形成する際の生産性の向上を図ることができるという効果がある。

【0076】

さらに、本発明による薄膜トランジスタの製造方法の他の1つによれば、不純物を付着した高抵抗アモルファスシリコン膜上にフォトレジスト膜を形成し、基板側からフォトレジスト膜を露光してフォトレジストパターンを形成した後、フォトレジストパターン上及び高抵抗アモルファスシリコン膜上に金属層を形成し、フォトレジストパターン及びその上の金属層を除去してソース電極及びドレイン電極を形成するようにしているので、前記効果が得られる他に、製造プロセスを一部簡素化することができるという効果がある。

【図面の簡単な説明】

【図1】

第1の実施の形態による薄膜トランジスタの構成を示すもので、その製造プロセスを示す断面図である。

【図2】

第1の実施の形態による薄膜トランジスタが示すドレイン電流 I_d のゲート電圧 V_g 依存性 ($I_d - V_g$ 特性) を示す特性図である。

【図3】

第2の実施の形態による薄膜トランジスタの構成を示すもので、その製造プロ

セスを示す断面図である。

【図4】

第2の実施の形態による薄膜トランジスタの製造方法を実施するために用いられる製造装置を示す構成図である。

【図5】

第3の実施の形態による薄膜トランジスタの構成を示すもので、その製造プロセスを示す断面図である。

【図6】

既知のチャネルエッチング型薄膜トランジスタの構成を示すもので、その製造プロセスを示す断面構成図である。

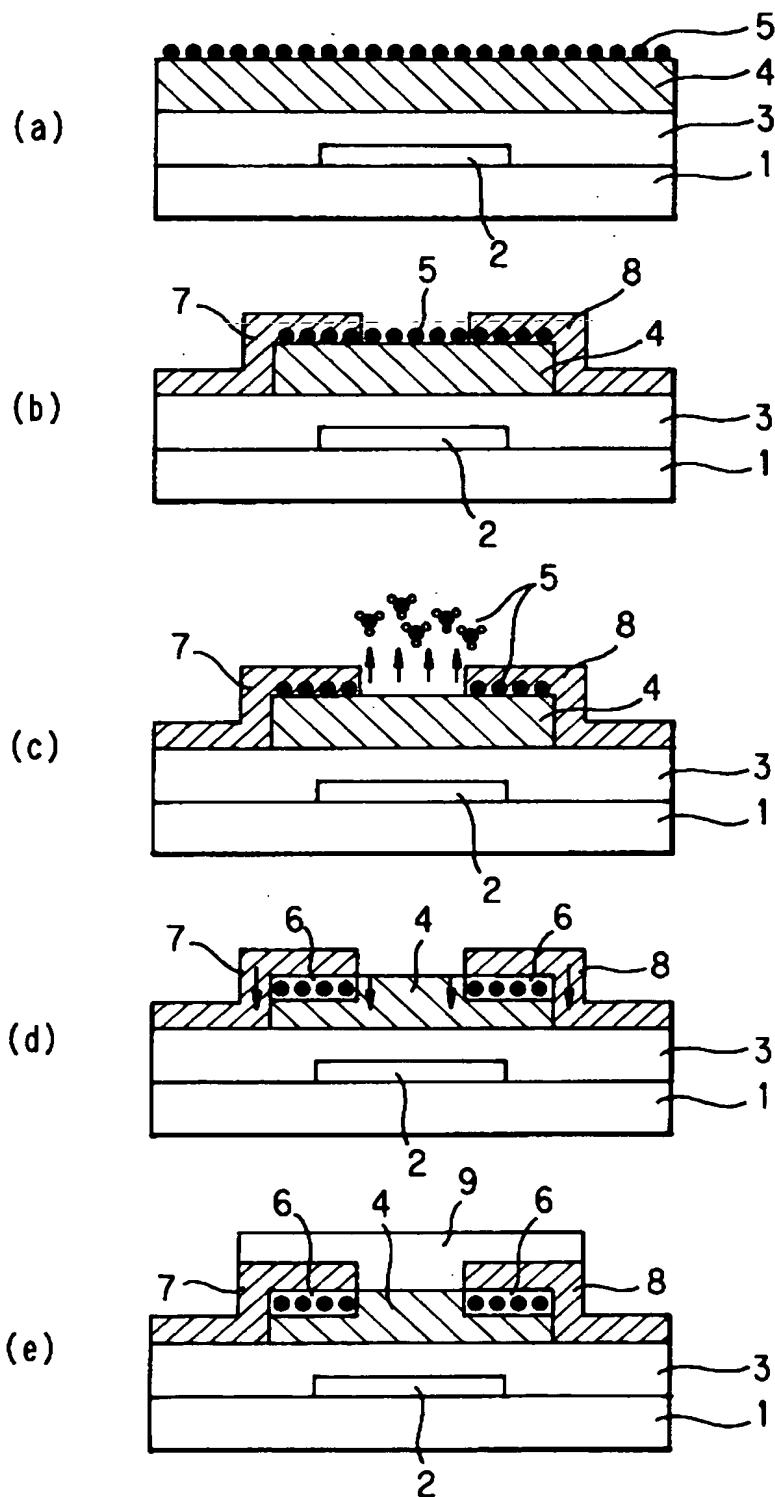
【符号の説明】

- 1 ガラス基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 高抵抗アモルファスシリコン膜
- 5 不純物
- 6 コンタクト層（低抵抗アモルファスシリコン膜）
- 7 ドレイン電極
- 8 ソース電極
- 9 保護膜
- 10 エッチング装置
- 11 保護膜形成装置
- 12 連結機構
- 13 レジストパターン
- 14 クロム(Cr)膜

【書類名】 図面

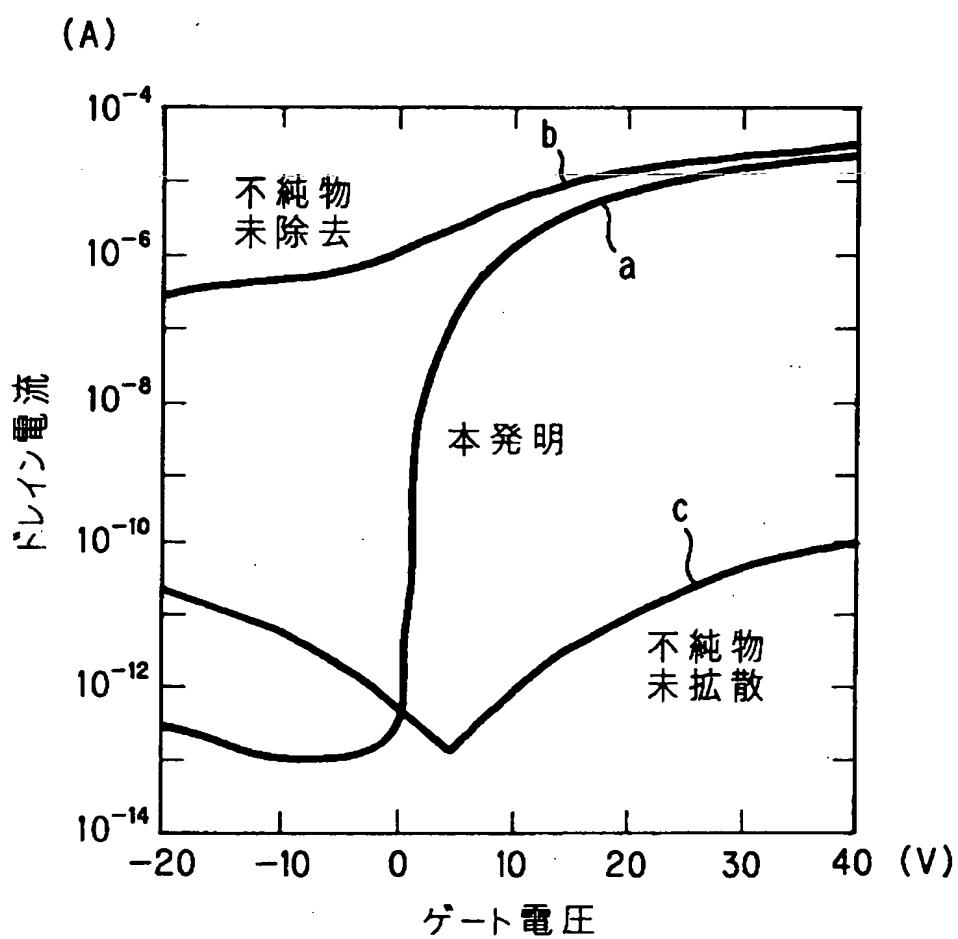
【図1】

図1



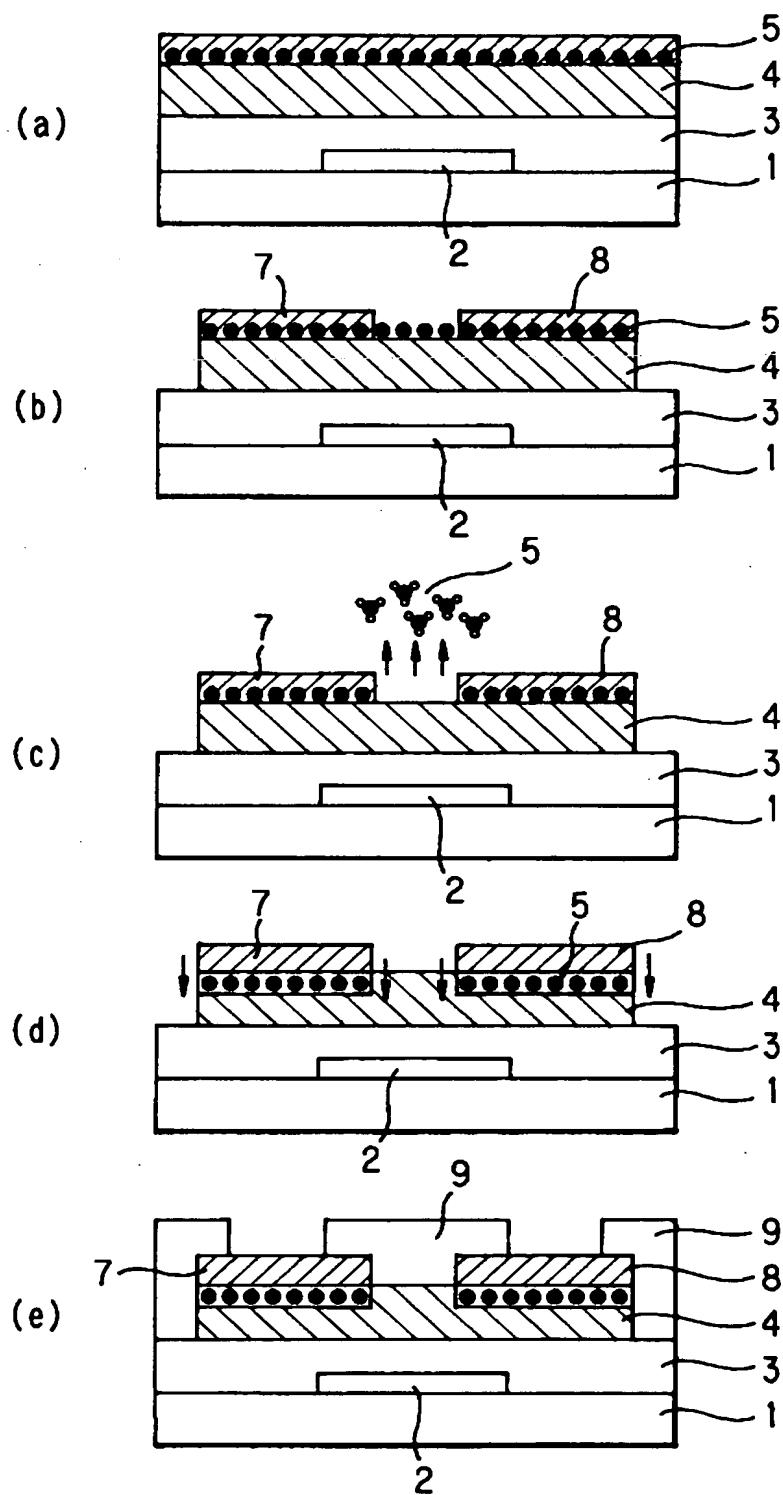
【図2】

図2



【図3】

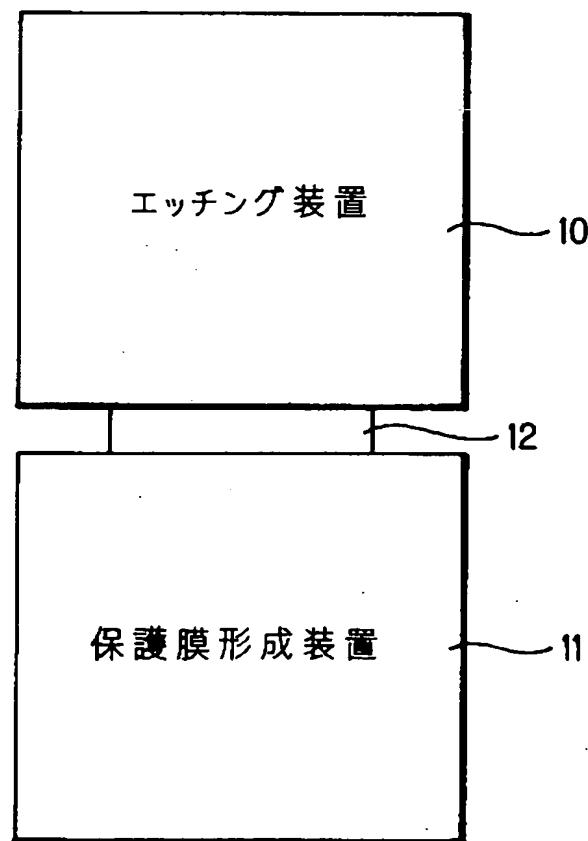
図3



特2001-042168

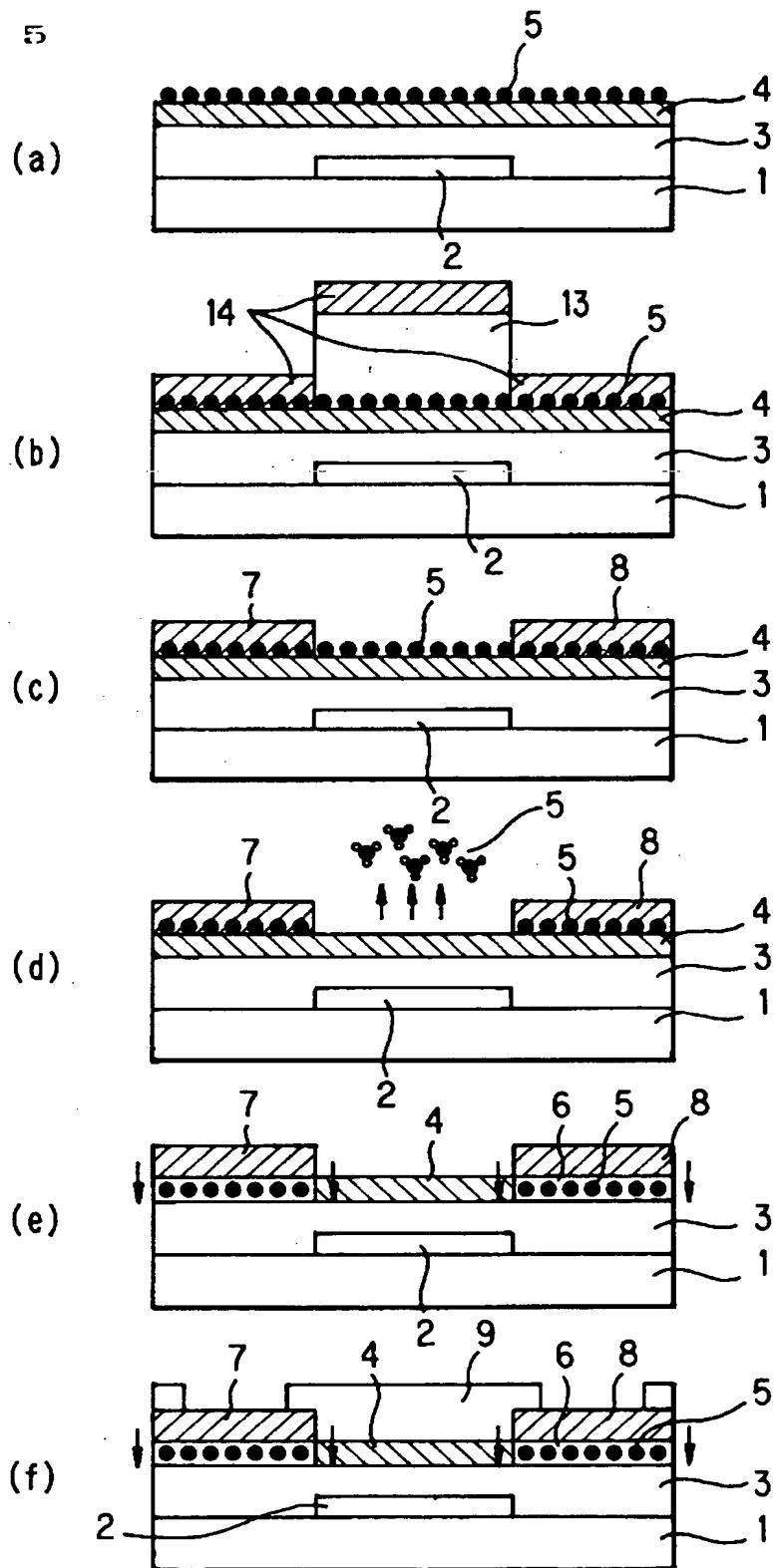
【図4】

図4



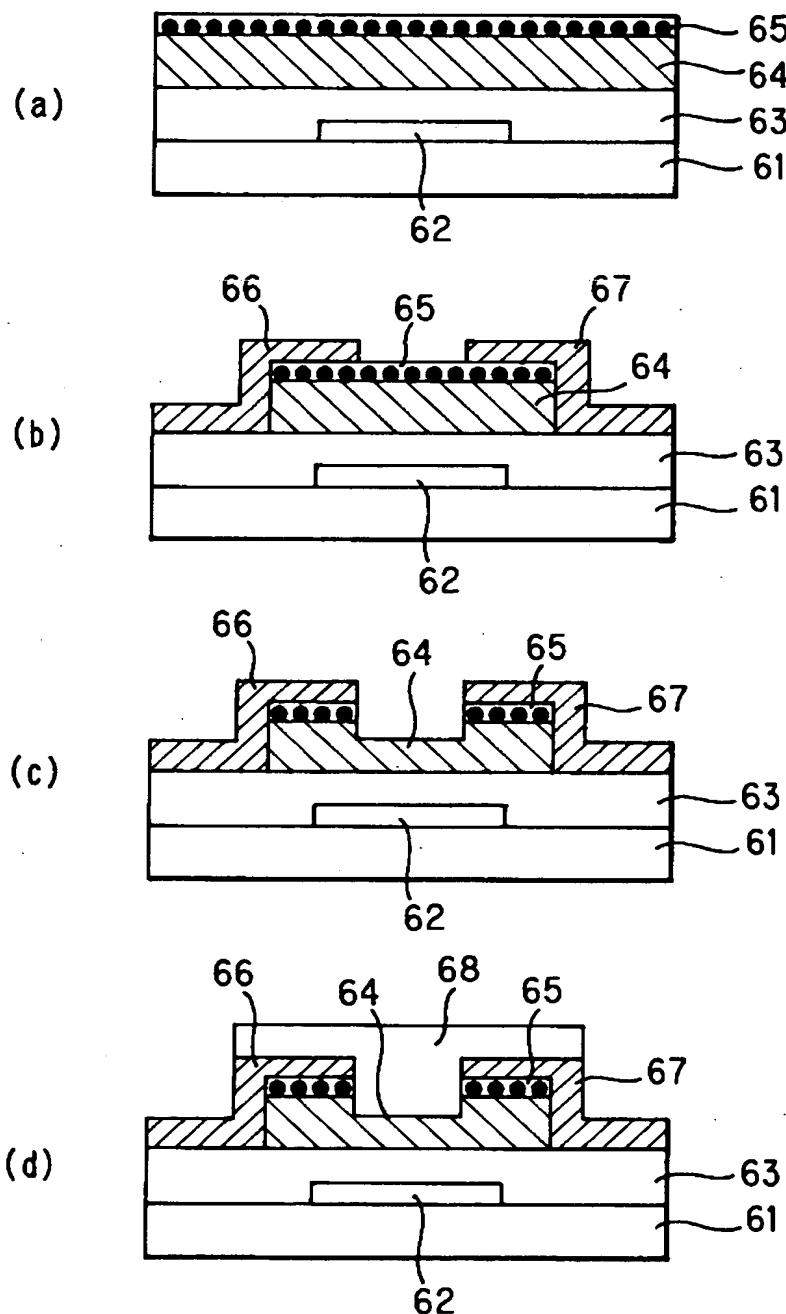
【図5】

図5



【図6】

図6



【書類名】 要約書

【要約】

【課題】 高抵抗アモルファスシリコン膜4の厚さを薄くするとともにコンタクト層6の膜厚を略一定にすることにより、特性が不安定になったり、不均一な特性を示すことのない薄膜トランジスタを提供する。

【解決手段】 基板1上に形成されたゲート電極2、ゲート電極2上及び基板1上に形成されたゲート絶縁膜3、ゲート絶縁膜3上に形成された高抵抗アモルファスシリコン膜4、高抵抗アモルファスシリコン膜4上の各一部にコンタクト層6を介して形成されたドレイン電極7及びソース電極8を有する薄膜トランジスタであって、コンタクト層6は、高抵抗アモルファスシリコン膜4中に不純物5を拡散して得た低抵抗領域であり、ドレイン電極7及びソース電極8の接触部分に拡散されている不純物5の量が0.01%以上になっている。

【選択図】 図1

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所